

引用格式:任小敏,苏皆磊,倪哲勤,等. 3200 Mbps DDR4 PHY 的物理设计优化 [J]. 微电子学与计算机,2019,36(7):1-5.
[REN X M,SU J L,NI Z Q,et al. Optimization in physical design of 3200 Mbps DDR4 PHY [J]. Microelectronics & Computer,2019,36(7):1-5.]

3 200 Mbps DDR4 PHY 的物理设计优化

任小敏¹,苏皆磊²,倪哲勤²,王 琴¹

(1 上海交通大学 电子信息与电气工程学院,上海 200240;
2 世芯电子有限公司,上海 200030)

摘 要:以一款基于 TSMC 16 nm FinFET 工艺的 HPC(High Performance Computing)芯片中 DDR4 PHY 模块为研究对象,提出了其物理设计及优化方案,完成了 DDR4 PHY 的版图规划和布局、时钟树综合与优化和时序收敛分析。版图规划时考虑到宏单元和 IO 单元的特性再结合面积和时序等性能的优化确定了 DDR4 PHY 的布局形状。时钟树综合时,对比分析了传统的时钟树综合 CTS 和优化设计过的多源时钟树综合 MSCTS,设计了针对 DDR4 PHY 模块特点的大型多位缓冲器 M2M8,其驱动距离可以达到 1200 μm 。仿真实验结果表明,优化后的时钟树结构级数从 65 级降到 19 级,时钟最大延迟最多降低了 48.37%,时钟偏差减少了 52.33%,功耗降低了 17.24%,DDR4 PHY 的各项性能优化结果显著,达到实验目的。

关键词:DDR4 PHY;时钟树综合;多源时钟树结构;多位缓冲器

中图分类号:TN4

文献标识码:A

文章编号:1000—7180(2019)07—0001—05

Optimization in physical design of 3 200 Mbps DDR4 PHY

REN Xiao-min¹,SU Jie-lei²,NI Zhe-qin²,WANG Qin¹

(1 School of Microelectronics, Shanghai Jiao Tong University, Shanghai 200240, China;
2 Alchip Technologies Limited Company, Shanghai 201108, China)

Abstract: The physical design and its optimization were proposed for the DDR4 PHY of one High Performance Computing chip based on TSMC 16 nm FinFET process technology, including the floorplan, placement, clock tree synthesis and its optimization and timing closure analysis. Take macros and IO cells combined with area and timing optimization into account to fix the floorplan shape of DDR4 PHY. Compare the typical CTS with optimized MSCTS and analyze their differences when clock tree synthesis. Design multi-bit buffer M2M8 for DDR4 PHY whose drive distance can be 1200 μm . Simulation results show that optimized clock tree structure level decreases from 65 to 19, max clock latency decreases by 48.37%, clock skew decreases by 52.33%, power decreases by 17.24%, the performance optimization results are prominent and achieve the goal of experiment.

Key words: DDR4 PHY; clock tree synthesis; multi-source clock tree structure; multi-bit buffer

1 引言

目前计算机系统中广泛使用了高传输速率的 DDR 系列存储器,在高性能运算芯片中 DDR 存储接口的设计问题也正在变得越来越重要。

为了解决 DDR 在设计方面的大量难题,业界和学术界联合对 DDR PHY 接口电路做了深入的研究。本文针对 DDR4 PHY 的物理设计为研究对象,以解决现有 DDR4 PHY 物理设计中遇到的问题为目标,实现 DDR4 PHY 的设计指标,频率 800

MHz,最大数据传输速率为 3 200 Mbps,提出了切实可行且提升效果显著的优化方案。

2 DDR4 PHY 的介绍和布图布局规划

DDR4 PHY (Physical Layer)物理层作为通用控制器和外部 DDR4 SDRAM 器件之间的数据接口,是一个完整的混合信号 IP,其物理设计主要针对四部分宏单元,Dbyte,ACX4,Master 和 Controller 部分.Dbyte 即 DDR SDRAM data PHY 作为外部 SDRAM 存储器的一个字节数据接口,负责 DQ 总线数据的传输和时序.ACX4 负责地址和指令总线,DDR4 系统中,12 个 ACX4 需要通过四个独立的队列控制 64/72b 的通道.MASTER 部分包括了 PLL,基准电压源,热校准,重置和测试的 I/O 单元和控制部分.Controller 部分则属于 DDR4 PHY 的总控制部分,控制整个模块的信号传输.DDR4 PHY 的总体结构^[1-2]如图 1 所示。

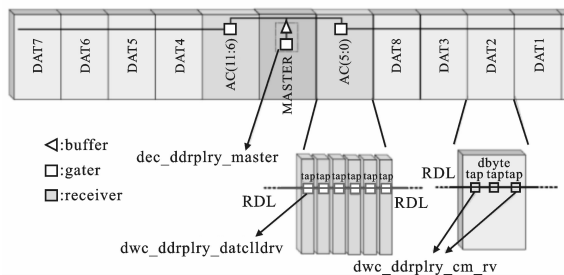


图 1 DDR4 PHY 的结构

在物理设计中,布图规划和布局在芯片设计中占据着重要的地位,也由此,芯片设计的物理实现通常简称为布局布线(place and route).布图规划(Floorplan)是芯片设计最初始的步骤,其数据的完整性和准确性是进行布图规划的重要保证.布图规划、电源规划和布局往往连续进行,而且在项目工程中需要根据后续仿真结果分析来进行迭代改进,因此其合理与否直接关系到芯片的时序收敛、布线通畅、电源稳定及良品率,一个好的布图可以减少设计迭代,提高设计的效率和芯片性能。

2.1 布图规划

DDR4 PHY 通常会设计成 L 形或者是长条形,考虑到顶层上和其他模块的契合,本次设计将采用长条形.DDR4 PHY 包含 22 个宏单元,9 个数据 PHY 即 Dbyte、12 个地址与控制 PHY(Address/Command PHY)即 ACX4 和 1 个包括 PLL,以及监察和调试信号的 Master PHY,还有控制存储器(Controller Memory)部分.由于 DDR4 PHY 是

bump 导向型(bump limited)的模块,其各个宏单元上带有 Bump,所以在设计时有所限制,需要考虑对后续封装的影响.布图规划时,基于其数据流向和工作原理将 9 个 Dbyte 均匀放置在两边,中间放置 12 个 ACX4,并将 Master PHY 再放置在 12 个 ACX4 PHY 中间,并将控制器部分放在底部的中间.同时,为了防止 Dbyte 和 ACX4 的噪声问题,需要在 Dbyte、ACX4 和 Master 等宏单元上方添加大量去耦电容单元.IO 规划方面,将 port 部分放在右下角为了与其他模块交流,而宏单元的 pin 由于采用 Flip chip 的设计方法所以 pin 都放在宏单元上面最后通过 Bump 向外走线.综上所述,DDR4 PHY 在 ICC2 中的实际布图规划如图 2 所示,尺寸为 $7\,096 \times 1\,411.2(\mu\text{m})$ 。

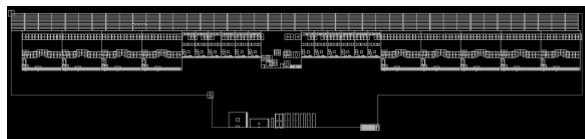


图 2 DDR4 PHY 的实际布图规划

2.2 布局规划

DDR4 PHY 的利用率并不高,但是模块面积较大,这就导致标准单元比较分散,使用 EDA 工具 ICC2 自动绕线时往往会产生冗余绕线,可能会引起建立时间(setup time)违例的问题,影响时序性能.因此在布局之前,需要分析模块的数据流和标准单元分布,添加一些相关设置,使得标准单元布局更加合理,为后续的时钟树综合和布线提高设计冗余度.首先设置布局的场景为最坏端角^[3]场景,以此为例设置时钟以及数据信号的一些参数^[4]如下所示,

```
set_clock_uncertainty -setup 0.110 [all_clocks] -corner wcw_cworst_CCworst_T
set_clock_uncertainty -hold 0.023 [all_clocks] -scenarios [all_scenarios]
set_max_transition 0.200 [current_design] -corners [all_corners]
set_max_transition 0.060 -clock_path [get_clocks *] -corners [all_corners]
set_max_transition 0.200 -data_path [all_clocks] -corners [all_corners]
```

通过脚本编辑控制命令来设置 soft 和 partial blockage 来控制标准单元布局时的密度,使得标准单元密度控制在 60%以防止拥塞发生.同时添加针对各个宏单元的 bound 来使 DDR4 PHY 的标准单

元(standard cell)的分布聚集于各个宏单元,如 Dbyte 和 ACX4 附近,以便于后续进行时钟树综合和绕线及其优化.还可以使用门控时钟单元 ICG 来进行优化,降低动态功耗,使用的命令^[4]如下.

```
set_app_options -list {place. coarse. icg_auto_bound true}
```

```
set_app_options -list {place. coarse. icg_auto_bound_fanout_limit 40}
```

在布局优化阶段通过打开 CCD(Concurrent Clock Data)来提高优化效率,减少设计迭代次数.

```
set_app_options -list {place_opt. flow. enable_ccd true}
```

控制低阈值电压单元的比例以减少静态功耗,降低设计的整体功耗

```
set_threshold_voltage_group_type -type normal_vt LVT
```

```
set_threshold_voltage_group_type -type high_vt SVT
```

```
set_max_lvth_percentage 90
```

综上,通过以上步骤,就实现了 DDR4 PHY 的物理设计中的布图布局.

3 DDR4 PHY 的时钟树综合及其优化

DDR4 PHY 中有大量宏单元和 IO 单元,且时钟结构复杂,在对其进行时钟树综合之前进行分析规划有利于提高后续时序验证和收敛的效率. DDR4 PHY 中时钟信号众多,其中作为 PHY 的初始任务模式时钟输入的 DfiClk 由外部产生,也是 DDR4 PHY 时钟树设计中最关键的时钟信号.在任务模式下 DfiClk 频率范围在 166 MHz 到 800 MHz 之间,供给 PHY 的时钟 DfiClk 的频率为存储器时钟(MEMCLK)频率的二分之一,也等于数据传输速率的四分之一. DfiClk 以 VDD 作为单端,全 CMOS 级输入.在 PHY 中, DfiClk 用于 MASTER PHY 中 PLL 的参照,本文将以 DfiClk 时钟信号作为目标来进行时钟树优化.

DDR4 PHY 的 DfiClk 时钟结构的设计难点在于模块面积大,时钟需要驱动的时序逻辑单元数量多^[5],若时钟树结构规划的不合理会带来很大的时钟偏差和时钟延迟问题.

3.1 传统时钟树综合的实现与不足

传统的 EDA 工具生成时钟树结构的流程如下,采用 EDA 公司 synopsys 的布局布线工具 ICC2 来进行时钟树综合,准备好库文件并且设置好相关

参数,采用参考的时钟树综合模式,使用如下命令^[4]定义时钟负载最大扇出为 32,驱动最大线长为 150 μm .

```
set_app_options -list {cts. common. verbose 1}
```

```
set_app_options -list {cts. common. max_fanout 32}
```

```
set_app_options -list {cts. common. max_net_length 150}
```

同时对时钟信号的绕线规则和时钟优化努力等等参数作出定义.采用这种方式的优点是实现速度快,通用性高,有大量项目的成功流片验证了其可靠性.然而,其迭代次数多,且初始结果的时序性能并不理想.针对 DDR4 PHY 这个模块来分析产生这种问题的原因,即由于模块呈长条形,水平和垂直绕线资源不够均衡,且逻辑分布不均匀,时钟驱动负载很多,导致信号路径很长.EDA 工具为了完成设计目标会自动添加很多缓冲器来增加驱动力,导致缓冲器级数很多,级数最多的路径缓冲器达到 65 级之多,且最大时钟信号延迟达到了 1.089 4 ns 之多,时钟偏差也达到了 0.589 4 ns,远远达不到流片标准.

3.2 优化目标及多源时钟树结构

为了解决传统的时钟树综合实现 DDR4 PHY 的时钟树时带来的缓冲器级数多,时钟负载多,时钟延迟大,时钟偏差大的问题.现采用优化的时钟树结构来进行时钟树综合即 MSCTS(Multi-Source CTS).首先,在布局阶段,采用合并触发器的方式构成 Multi-bit FlipFlop,这样可以有效减少 Sink 点即时钟信号的负载^[6].再则,重新规划时钟树的结构,通过分析 DDR4 PHY 的数据流和结构特点,提出了规划的多源时钟树结构.

这种时钟树结构需要通过手动规划时钟树和工具自动生成时钟树两种方式相结合的实现方式来完成模块的时钟树综合^[6-7].根据 DDR4 PHY 规划的形状面积,将时钟信号源点(source)确定在模块的中心位置.芯片的时钟信号 DfiClk 由时钟端口(port)进入,经过缓冲器推动到 DDR4 PHY 的几何中心以作多源时钟树的父节点.以此源点为父节点,向上下两个方向分布时钟树的子节点,分别用于驱动 Dbyte、ACX4、Master 宏单元和控制存储器(Controller Memory)部分.由于 DDR4 PHY 模块成长条形,长约 7 000 μm ,在水平方向上大体等分成三部分,Dbyte0~3 和 Dbyte8 作一组,12 个 ACX4 和 Master 作一组,Dbyte4~7 作一组.从

DfiClk 时钟信号父节点向下分布三个一级时钟源点,分别驱动上文所列三组宏单元. 根据宏单元的分组和数数据流,DBYTE、ACX4 和 Master 各自需要至少一个二级源点驱动,由于 Dbyte 模块面积较大需要更多的时钟驱动力,因此 Dbyte 部分需添加两个二级源点. 至此,多源时钟树的结构大体确立. 三级源点由于时钟负载的时序逻辑分布复杂,就不根据几何距离等分来作三级源点,而是根据数据流和标准单元的分布自动确立三级源点,同理适用于控制存储器部分. 由于时钟信号通过一级源点和二级源点向下级传输的距离较长且源点和源点之间的距离较远,每个源点后面所连负载数量众多,所以为了时钟信号可以稳定传输并有力推动下一级负载,将设计大驱动力的缓冲器 M2M8 放在一级源点和二级源点的位置来完成多源时钟树的结构. 综上所述,DDR4 PHY 的多源时钟树结构示意图如图 3 所示.

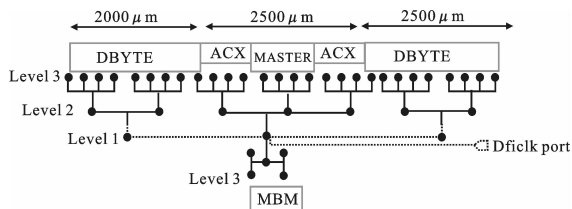


图 3 规划的多源时钟树结构示意图

实验结果表明,通过这种多源时钟树的结构可以有效提高时钟信号传输的共同路径(common path),以降低时钟延迟和 OCV(On Chip Variation).

3.3 多位缓冲器 M2M8 的设计与仿真

在实现上文中提出的多源时钟树结构时,采用了多位缓冲器(Multibit Buffer)M2M8 来解决原本缓冲器推动力不够导致工具为了满足完成设计目标添加多级缓冲器的问题. 为了时钟信号远距离的稳定传输,采用 M2M8 令时钟信号传输更稳定地到达末端时序逻辑单元.

多位缓冲器 M2M8 使用 10 个一位(Single Bit)缓冲器,其结构示意图如图 4. M2M8 采用两个并联缓冲器来推动八个并联缓冲器的结构,输入信号从两个并联缓冲器的输入端同时输入,再由后一级八个并联缓冲器的输出端同时输出,以达到有效增大信号驱动力的目的.

为了得到这种定制的缓冲器 M2M8 的时序等性能参数需要通过一系列工具来进行仿真分析. 首先在 ICC2 中将 10 个一位缓冲器按照结构图来完成其布局布线. 在仿真其时序特性时,需要将多个 M2M8 串联起来形成缓冲器链,以一个包括 AP 和

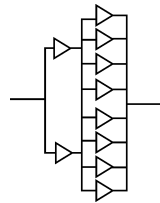


图 4 M2M8 的结构示意图

电源地的模块作为仿真环境,环境搭建如图 5 所示.



图 5 定制的缓冲器 M2M8 的仿真环境

仿真环境搭建并且运行完成以后,接下来进行寄生参数抽取. 使用寄生参数抽取工具 StarRC,抽取 M2M8 缓冲器链的 RC 特性,将 RC 特性参数反标到检查时序性能的工具 Prime Time 中,将时序分析场景设置成最坏端角情况 wcz_cworst_ccworst_t_0c,仿真其在最坏场景下的时序特性. 并使用 Hspice 作电路特性分析. 各个阶段使用的工具和版本号如表 1 所示.

表 1 仿真 M2M8 使用的工具及其版本号

工具	版本号
ICC2	icc2_vN-2017. 09-SP1
StarRC	starrc_vM-2017. 06
PT	pts_vL-2016. 06-SP2
Hspice	hspice_vM-2017. 03-SP2-1

分析最终仿真结果可得 M2M8 的标准驱动距离为 1 200 μm ,可以满足 DDR4 PHY 所需的多源时钟树结构的需求.

综上,在多源时钟树结构的一级源点和二级源点处插入多位缓冲器 M2M8 可以有效解决时钟信号驱动力不够的情况,并最终减少时钟树所需要的总的缓冲器个数^[8],大大减少时钟树级数并带来时序性能的优化和功耗的降低.

4 优化结果与分析

通过 EDA 工具分析经过了布局优化即采用合并触发器减少时钟负载和采用多源时钟树结构以后,时钟树结构优化前后对比结果如表 2.

表 2 普通 CTS 和优化的多源时钟树综合对比

属性	CTS	MSCTS
时钟负载数	98 229	76 127
级数	65	19
缓冲器数	4 053	3 030
最大延迟/ns	1. 089 4	0. 562 5
最小延迟/ns	0. 504 5	0. 283 7
偏差/ns	0. 584 9	0. 278 8
功耗/w	0. 789	0. 653

分析结果可得,采用合并触发器的方式可以大大减少 sink 点即时钟树的负载,但是合并大量触发器又会带来时序上的影响,所以再做完 Multibit FlipFlop 合并以后^[9],考虑到整体的时序性能,对一些有较大的时序违例的合并触发器通过分开 split 来进行优化时序^[10].最后确定 sink 点数量在76 127 时可以达到最优的结果.再加上优化的多源时钟树结构的时钟树综合方式,令时钟树级数从冗余的 65 级降到 19 级,这大大降低了时钟延迟和时钟偏差,最大延迟和最小延迟分别有了 48. 37%和 43. 77% 的提高,时钟偏差也降低了 52. 33%. 实验结果表明,时钟树综合中的缓冲器数量从4 053 减少到 3 030,这说明,虽然多位缓冲器 M2M8 集合了多个缓冲器,但是通过驱动力的大幅提升和合理布局却是可以减少设计总共需要的缓冲器数量的.除了时序方面的性能提升,DDR4 PHY 的功耗也从 0. 789 w 降到了 0. 653 w,降低了 17. 24%,达到了低功耗设计^[11]. 综上,本次针对 DDR4 PHY 的时钟树结构的优化成果显著.

5 结束语

本文阐述了某高性能计算芯片中 DDR4 PHY 模块的物理设计优化方案. 在布局阶段采用合并触发器形成多位触发器(Multibit FlipFlop)的方式减少时钟树负载;在时钟树综合阶段,使用手动规划的多源时钟树结构代替传统的工具自动生成的时钟树结构,来降低时钟树级数以减少时钟偏差和时钟延迟. 同时,定制设计了多位缓冲器 M2M8 以解决一般缓冲器驱动力不足的问题,最终可以减少设计整体使用的缓冲器个数,同时在模块的时序和功耗方面得到优化.

参考文献:

[1] JEDEC. JESD79-4B. DDR4 dram standard[S]. USA, JEDEC, 2017.

[2] SYNOPSYS. DDR4/3 PHY for TSMC16FFPGL18 Data-book [R]. CA,USA;Synopsys,2017.

[3] EWETZ, RICKARD, JANARTHANAN Shankarshana, KOH CHENG-KOK. Construction of reconfigurable clock trees for MCM designs[C]//Proceedings of the 52nd Annual Design Automation Conference. San Francisco, CA, USA;ACM,2015;1-6.

[4] SYNOPSYS. IC Compiler II : Block-level Implementation Workshop Student Guide; version 2017. 09-SP2 [R]. CA, USA;Synopsys,2017.

[5] 张玲,王澧. 百万门系统级芯片的时钟树设计[J]. 电子与封装, 2014,14(12): 30-35.

[6] DONG-JIN LEE, IGOR L Markov. Multilevel tree fusion for robust clock networks[C]//ICCAD. San Jose, CA,USA; IEEE, 2011;632-639.

[7] SHMUEL WIMER. Optimal weight allocation in rooted trees[J]. Combinatorial Optimization, 2016, 31 (3);1023-1033.

[8] KIM J, KIM T. Useful clock skew scheduling using adjustable delay buffers in multi-power mode designs [C]//ASP-DAC . Tokyo, JP; IEEE, 2015; 466-471.

[9] LIN M P H, HSU C C, Chen Y C. Clock-tree aware multibit flip flop generation during placement for power optimization[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits System, 2015,34 (2):280-292.

[10] HOU W, LIU D, HOP H. Automatic register banking for low-power clock trees [C]//ISQED. San Jose, CA, USA; IEEE, 2009;645-655.

[11] GUPTA S. LPDDR4X (3732 Mbps) DBI impact on SI/PI and power [C]//IEEE 26th Conference on EPEPS. San Jose, CA, USA; IEEE, 2017;365-368.

作者简介:

任小敏 女,(1993-),硕士. 研究方向为大规模集成电路设计、集成电路物理设计.

苏皆磊 男,(1982-),高级工程师. 研究方向为集成电路物理设计.

倪哲勤 男,(1983-),高级工程师. 研究方向为集成电路物理设计.

王 琴(通讯作者) 女,(1975-),副教授. 研究方向为大规模集成电路设计、先进集成电路设计方法.

E-mail: qinqinwang@sjtu. edu. cn.